

ADM691A/ADM693A/ADM800L/M

特長

低消費電力：

高精度電圧モニタ

ADM800L/Mで±2%の誤差

リセット時間遅延 - 200 ms、または調整可能

1 μ Aのスタンバイ電流

自動バッテリー・バックアップ電源切り換え操作

チップ・イネーブル信号を内部で高速にゲート

TSSOPパッケージも供給(ADM691A)

アプリケーション

マイクロプロセッサ・システム

コンピュータ

コントローラ

インテリジェント機器

自動車システム

マイクロプロセッサ電源モニタ処理

概要

ADM691A/ADM693A/ADM800L/ADM800M監視回路ファミリは、マイクロプロセッサ・システムの電源モニタ処理とバッテリー制御機能を1チップ内に収めた製品です。マイクロプロセッサのリセット、バックアップ・バッテリーの切り換え、ウォッチドッグ・タイマ、CMOS RAMへの書き込み保護、電源異常警報機能等を備えています。このファミリ製品は、MAX691A/93A/800Aファミリのアップグレード製品です。

製品は、全て16ピンのDIPおよびSOパッケージに実装されています。ADM691Aは、小型のTSSOPパッケージでも実装され以下の機能を備えます。

1. 電源起動時、パワーダウン時、および節電状態中に電源起動リセット出力を出力します。この回路は、 V_{CC} が1Vでも動作し続けます。
2. CMOS RAM、CMOSマイクロプロセッサまたは他の低消費電力ロジック用のバッテリー・バックアップ機能。
3. オプションのウォッチドッグ・タイマが規定された時間内にトリグされない場合、リセット・パルスを出力。
4. 電源異常時の警告、低バッテリー検出、または+5V以外の電源モニタ用の1.25Vスレッシュホールド検出回路。

機能ブロック図

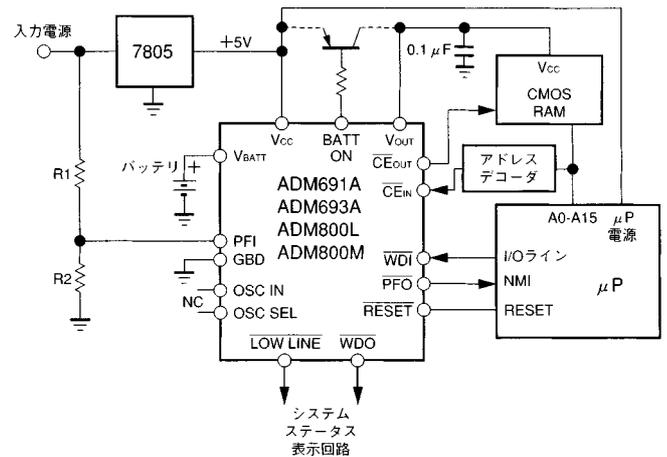
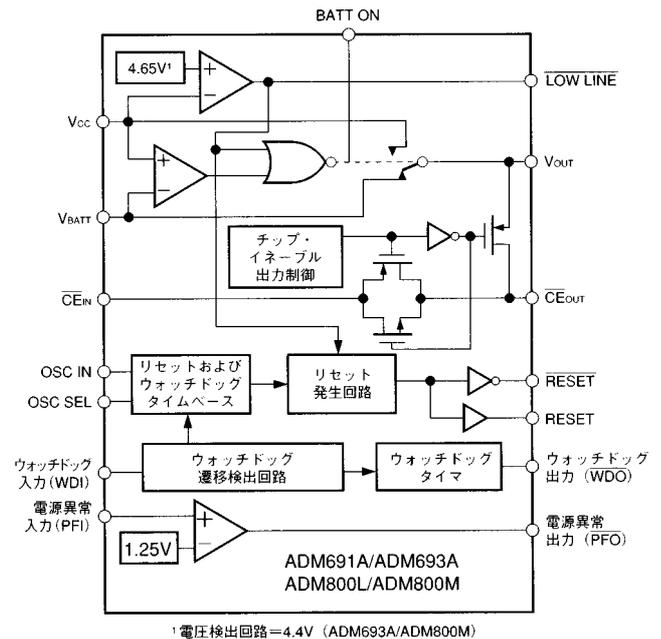


図1. 代表的な応用回路

アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、当社はその情報の利用、また利用したことにより引き起こされる第三者の特許または権利の侵害に関して一切の責任を負いません。さらにアナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

ADM691A/ADM693A/ADM800L/M 仕様

(特に指定のない限り $V_{CC} = 4.75\text{ V} \sim 5.5\text{ V}$ (ADM691A, ADM800L) $4.5\text{ V} \sim 5.5\text{ V}$ (ADM693A, ADM800M) $V_{BATT} = +2.8\text{ V}$, $T_A = T_{MIN} \sim T_{MAX}$)

パラメータ	Min	Typ	Max	単位	テスト条件 / 備考
バッテリー・バックアップ切り換え					
V_{CC} , V_{BATT} 動作電圧範囲	0		5.5	V	
V_{OUT} 出力電圧	$V_{CC} - 0.05$	$V_{CC} - 0.02$		V	$I_{OUT} = 25\text{ mA}$
	$V_{CC} - 0.3$	$V_{CC} - 0.2$		V	$I_{OUT} = 250\text{ mA}$
$V_{CC} \sim V_{OUT}$ 出力抵抗		0.8	1.2		$V_{CC} = 4.5\text{ V}$
バッテリー・バックアップ・モードでの V_{OUT}	$V_{BATT} - 0.3$			V	$V_{BATT} = 4.5\text{ V}$, $I_{OUT} = 20\text{ mA}$
	$V_{BATT} - 0.25$			V	$V_{BATT} = 2.8\text{ V}$, $I_{OUT} = 10\text{ mA}$
	$V_{BATT} - 0.15$			V	$V_{BATT} = 2.0\text{ V}$, $I_{OUT} = 5\text{ mA}$
$V_{BATT} \sim V_{OUT}$ 出力抵抗			12		$V_{BATT} = 4.5\text{ V}$
			20		$V_{BATT} = 2.8\text{ V}$
			25		$V_{BATT} = 2.0\text{ V}$
電源電流 (I_{OUT} を除いて)		70	100	$\mu\text{ A}$	$V_{CC} > (V_{BATT} - 1\text{ V})$
バッテリー・バックアップ・モードでの電源電流 (I_{OUT} を除いて)		0.04	1	$\mu\text{ A}$	$V_{CC} < (V_{BATT} - 1.2\text{ V})$, $V_{BATT} = 2.8\text{ V}$
バッテリー・スタンバイ電流 (+ = 放電、- = 充電)	- 0.1		+ 0.02	$\mu\text{ A}$	$5.5\text{ V} > V_{CC} > V_{BATT} + 0.2\text{ V}$
	- 1.0		+ 0.02	$\mu\text{ A}$	$(V_{BATT} + 0.2\text{ V}) < V_{CC}$, $T_A = +25$
バッテリー切り換えスレッシュホールド		$V_{BATT} + 0.03$		V	電源起動
$V_{CC} - V_{BATT}$		$V_{BATT} - 0.03$		V	パワーダウン
バッテリー切り換えヒステリシス		60		mV	
BATT ON 出力電圧LO		0.1	0.4	V	$I_{SINK} = 3.2\text{ mA}$
		0.7	1.5	V	$I_{SINK} = 25\text{ mA}$
BATT ON 出力短絡回路電流		60		mA	シンク電流
	1	15	100	$\mu\text{ A}$	ソース電流
リセットおよびウォッチドッグ・タイマ					
リセット電圧スレッシュホールド					
ADM691A, ADM800L	4.5	4.65	4.75	V	
ADM693A, ADM800M	4.25	4.40	4.50	V	
ADM800L, V_{CC} 低下	4.55		4.70	V	$T_A = +25$
ADM800M, V_{CC} 低下	4.3		4.45	V	$T_A = +25$
リセット・スレッシュホールド・ヒステリシス		15		mV	
V_{CC} から RESET の遅延		80		$\mu\text{ s}$	パワーダウン
LOW LINE から RESET 遅延		800		ns	
リセット・タイムアウト間隔、内部オシレータ	140	200	280	ms	電源起動
リセット・タイムアウト間隔、外部クロック		2048		サイクル	電源起動
ウォッチドッグ・タイムアウト間隔、内部オシレータ	1.0	1.6	2.25	s	長時間
	70	100	140	ms	短時間
ウォッチドッグ・タイムアウト間隔、外部クロック		4096		サイクル	長時間
		1024		サイクル	短時間
最小WDI入力パルス幅	100			ns	$V_{IL} = 0.4$, $V_{IH} = 0.75 \times V_{CC}$
RESET 出力電圧		0.004	0.3	V	$I_{SINK} = 50\text{ }\mu\text{ A}$, $V_{CC} = 1\text{ V}$, $V_{BATT} = 0\text{ V}$
		0.1	0.4	V	$I_{SINK} = 3.2\text{ mA}$, $V_{CC} = 4.25\text{ V}$
	3.5			V	$I_{SOURCE} = 1.6\text{ mA}$, $V_{CC} = 5\text{ V}$
RESET 出力短絡回路電流		7	20	mA	
RESET 出力電圧LO	0.1	0.4		V	$I_{SINK} = 3.2\text{ mA}$
LOW LINE 出力電圧			0.4	V	$I_{SINK} = 3.2\text{ mA}$, $V_{CC} = 4.25\text{ V}$
	3.5			V	$I_{SOURCE} = 1\text{ }\mu\text{ A}$, $V_{CC} = 5\text{ V}$
LOW LINE 短絡回路ソース電流	1	15	100	$\mu\text{ A}$	
WDO 出力電圧			0.4	V	$I_{SINK} = 3.2\text{ mA}$, $V_{CC} = 4.25\text{ V}$
	3.5			V	$I_{SOURCE} = 500\text{ }\mu\text{ A}$, $V_{CC} = 5\text{ V}$
WDO 短絡回路ソース電流		3	10	mA	
WDI 入力スレッシュホールド			0.8	V	
ロジックLO				V	
ロジックHI	$0.75 \times V_{CC}$			V	
WDI 入力電流	- 50	- 10		$\mu\text{ A}$	WDI = 0 V
		20	50	$\mu\text{ A}$	WDI = V_{OUT}
電源異常検出回路					
PFI 入力スレッシュホールドADM69xA	1.2	1.25	1.3	V	$V_{CC} = 5\text{ V}$
PFI 入力スレッシュホールドADM800L/M	1.225	1.25	1.275	V	$V_{CC} = 5\text{ V}$
PFI 入力電流		± 0.01	± 25	nA	
PFO 出力電圧			0.4	V	$I_{SINK} = 3.2\text{ mA}$
	3.5			V	$I_{SOURCE} = 1\text{ }\mu\text{ A}$
PFO 短絡回路ソース電流	1	15	100	$\mu\text{ A}$	
PFI から PFO の遅延		25		$\mu\text{ s}$	$V_{IN} = -20\text{ mV}$
		60		$\mu\text{ s}$	$V_{IN} = 20\text{ mV}$

ADM691A/ADM693A/ADM800L/M

パラメータ	Min	Typ	Max	単位	テスト条件 / 備考
チップ・イネーブル・ゲート操作					
CE _{IN} リーク電流		± 0.005	± 1	μA	ディセーブル・モード イネーブル・モード R _{IN} = 50 Ω, C _{LOAD} = 50 pF ディセーブル・モード、CE_{OUT} = 0V V _{CC} = 5 V, I _{OUT} = - 100 μA V _{CC} = 0 V, V _{BATT} = 2.8 V, I _{OUT} = 1 μA パワーダウン
CE _{IN} から CE _{OUT} の抵抗成分		40	150	ns	
CE _{IN} から CE _{OUT} の伝播遅延		6	10	ns	
CE _{OUT} 短絡回路電流	0.1	0.75	2.0	mA	
CE _{OUT} 出力電圧	3.5			V	
RESET から CE _{OUT} の伝播遅延	2.7			V	
		12		μs	
オシレータ					
OSC IN 入力電流		0.1	± 5	μA	OSC SEL = 0 V OSC SEL = V _{OUT} または開放状態 OSC SEL = 0 V OSC SEL = 0 V V _{IH} V _{IL} OSC SEL = 0 V, C _{OSC} = 47 pF
OSC IN 入力プルアップ電流		10	100	μA	
OSC SEL 入力プルアップ電流		10	100	μA	
OSC IN 周波数範囲		500		kHz	
OSC IN スレッシュホールド電圧	V _{OUT} - 0.4	V _{OUT} - 0.6		V	
		3.65	2.00	V	
OSC IN 周波数 (外部コンデンサ使用)		100		kHz	

注意
¹ V_{CC} または V_{BATT} のいずれかの電圧が +2.0 V を超える場合、他の電圧を 0 V にできません。
 仕様は、予告無しに変更する場合があります。

絶対最大定格*

V _{CC}	- 0.3 V ~ + 6 V
V _{BATT}	- 0.3 V ~ + 6 V
他のすべての入力	- 0.3 V ~ V _{OUT} + 0.5 V
入力電流	
V _{CC} (ピーク)	1000 mA
V _{CC} (連続)	250 mA
V _{BATT} (ピーク)	250 mA
V _{BATT} (連続)	25 mA
GND、BATT ON	100 mA
デジタル出力電流	25 mA
消費電力、N-16 DIP	842 mW
^{JA} 熱インピーダンス	135 /W
消費電力、R-16 幅狭 SOIC	700 mW
^{JA} 熱インピーダンス	110 /W
消費電力、R-16 幅広 SOIC	762 mW
^{JA} 熱インピーダンス	110 /W
消費電力、RU-16 TSSOP	500 mW
^{JA} 熱インピーダンス	158 /W
動作温度範囲	
産業 (Aバージョン)	- 40 ~ + 85
リード温度 (ハンダ付け、10秒)	+ 300
気相 (60秒)	+ 215
赤外線 (15秒)	+ 220
保管温度範囲	- 65 ~ + 150

* “絶対最大定格” を超えるストレスは、デバイスを永久的に破壊する場合があります。この定格はデバイスの単なるストレスの度合いであり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスのある項目についての絶対最大定格の状態に長時間さらすとデバイスの信頼性に影響を与えます。

オーダー・ガイド

モデル	温度範囲	パッケージ オプション
ADM691AAN	- 40 ~ + 85	N-16
ADM691AARN	- 40 ~ + 85	R-16N
ADM691AARW	- 40 ~ + 85	R-16W
ADM691AARU	- 40 ~ + 85	RU-16
ADM693AAN	- 40 ~ + 85	N-16
ADM693AARN	- 40 ~ + 85	R-16N
ADM693AARW	- 40 ~ + 85	R-16W
ADM800LAN	- 40 ~ + 85	N-16
ADM800LARN	- 40 ~ + 85	R-16N
ADM800LARW	- 40 ~ + 85	R-16W
ADM800MAN	- 40 ~ + 85	N-16
ADM800MARN	- 40 ~ + 85	R-16N
ADM800MARW	- 40 ~ + 85	R-16W

表I. 製品選択表

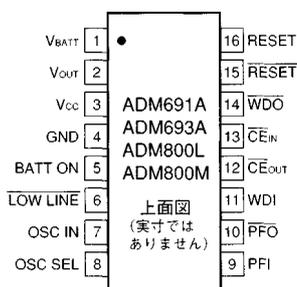
製品番号	電源投入時の リセット時間	低V _{CC} スレッシュホールド	ウォッチドッグ タイムアウト	バッテリー・バックアップ 切り換え	ベース・ドライブ 外部PNP	チップ・イネーブル 信号
ADM691A	200 ms または調整可能	4.65 V ± 3%	100 ms、1.6s、調整可能	Yes	Yes	Yes
ADM693A	200 ms または調整可能	4.4 V ± 3%	100 ms、1.6s、調整可能	Yes	Yes	Yes
ADM800M	200 ms または調整可能	4.4 V ± 2%	100 ms、1.6s、調整可能	Yes	Yes	Yes
ADM800L	200 ms または調整可能	4.65 V ± 2%	100 ms、1.6s、調整可能	Yes	Yes	Yes

ADM691A/ADM693A/ADM800L/M

ピンの説明

ピン	名称	機能
1	V_{BATT}	バッテリー・バックアップ入力。外部バッテリーまたはコンデンサと接続。またバックアップ・バッテリーを使わない場合は、グラウンドに接続。
2	V_{OUT}	出力電圧。 V_{CC} あるいは V_{BATT} の電圧の高い方が内部で V_{OUT} と接続されます。 V_{CC} 電圧が V_{BATT} より高く、さらにリセット・スレッシュホールドより高い場合、 V_{CC} が V_{OUT} と接続されます。しかし V_{CC} 電圧が V_{BATT} より低く、さらにリセット・スレッシュホールドより低い場合、 V_{BATT} が V_{OUT} と接続されます。バックアップ・バッテリーを使わない場合、 V_{OUT} を V_{CC} に接続します。
3	V_{CC}	電源入力；+5 V。
4	GND	0 V。全信号のグラウンド・リファレンス。
5	BATT ON	ロジック出力。 V_{OUT} が内部で V_{BATT} 入力に接続された際は、BATT ONはHIになります。また V_{OUT} が内部で V_{CC} に接続された際は、LOになります。出力電流を V_{OUT} の定格の250 mA以上に増加させたい場合は、この出力で外部PNPトランジスタのベース(抵抗を通して)をドライブします。
6	$\overline{LOW\ LINE}$	ロジック出力。 V_{CC} がリセット・スレッシュホールド未満となった場合、 $\overline{LOW\ LINE}$ はLOになります。また V_{CC} がリセット・スレッシュホールド以上に復帰すると、すぐにHIに戻ります。
7	OSC IN	オシレータ・ロジック入力。OSC SELがHIまたは開放状態の際、内部オシレータがイネーブルとなり、リセット遅延とウォッチドッグ・タイムアウト間隔が設定されます。OSC INをLOに接続すると、100 msを選択し、また開放状態で1.6 sを選択します。さらにOSC SELがLOの際、外部クロック信号でOSC INをドライブするか、あるいはOSC INとGNDの間に外部コンデンサを接続します。これにより、リセットのアクティブ・パルスのタイミングとウォッチドッグ・タイムアウト間隔両方を設定します。(表IIと図4を参照して下さい。)
8	OSC SEL	ロジック・オシレータ選択入力。OSC SELを無接続(開放状態)またはHIにドライブした場合、内部オシレータがリセットのアクティブ時間とウォッチドッグ・タイムアウト間隔を設定します。OSC SELがLOの場合、外部オシレータ入力(OSC IN)がイネーブルとなります。このOSC SELは、内部で10 μ Aのプルアップを備えています。
9	PFI	電源異常入力。このPFIは、電源異常コンパレータへの非反転入力です。PFIが1.25 V未満の場合、 \overline{PFO} はLOとなります。使用しない場合は、PFIをGNDまたは V_{OUT} に接続します。
10	\overline{PFO}	電源異常出力。 \overline{PFO} は、電源異常コンパレータの出力です。PFIが1.25 V未満の場合、LOとなります。
11	WDI	ウォッチドッグ入力。WDIは、3レベル入力です。WDIがウォッチドッグ・タイムアウト間隔よりも長い間HIまたはLOである場合、 \overline{RESET} はLOパルスを出し、 \overline{WDO} はLOになります。タイマは、WDIライン上の信号遷移でリセットされます。WDIを開放状態、あるいは中間電位にドライブした場合、ウォッチドッグ・タイマはディスエーブル状態になります。
12	\overline{CE}_{OUT}	出力。 \overline{CE}_{IN} がLOで V_{CC} がリセット・スレッシュホールドより高い時だけ \overline{CE}_{OUT} はLOになります。リセットをアサートした際に \overline{CE}_{IN} がLOの場合、 \overline{CE}_{OUT} は15 μ s間または \overline{CE}_{IN} がHIになるまでLOのままです。
13	\overline{CE}_{IN}	チップ・イネーブル入力。CEゲート回路への入力。使用しない場合、GNDまたは V_{OUT} に接続。
14	WDO	ロジック出力。WDIがウォッチドッグ・タイムアウト間隔よりも長い間HIまたはLOであった場合、ウォッチドッグ出力(WDO)はLOになります。WDIの次の信号遷移で、 \overline{WDO} はHIに設定されます。WDIが無接続の場合、WDOはHIのままです。
15	\overline{RESET}	ロジック出力。 V_{CC} がリセット・スレッシュホールド未満に低下した場合、 \overline{RESET} はLOになります。 V_{CC} がリセット・スレッシュホールド以上になっても、この信号は200 ms(typ)の間LOのままです。
16	RESET	ロジック出力。RESETは、オープン・ドレイン方式の出力です。またこの信号は、 \overline{RESET} を反転したものです。

ピン配置



代表的性能曲線 ADM691A/ADM693A/ADM800L/M

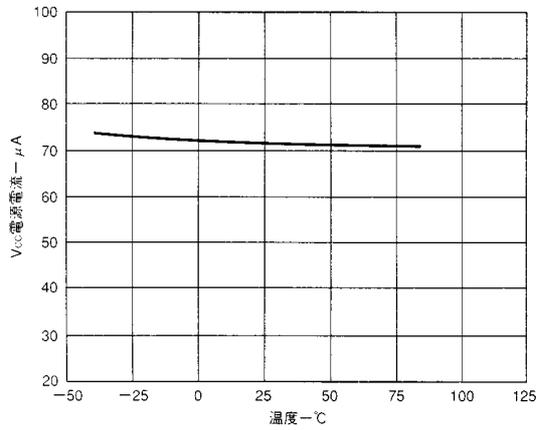


図2. I_{CC} と温度の関係：通常動作

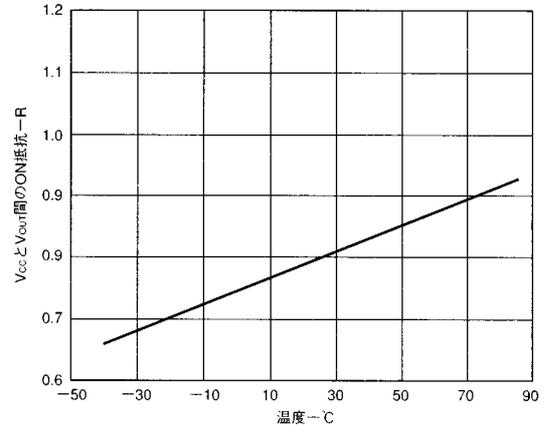


図5. V_{CC} と V_{OUT} 間のON抵抗と温度の関係

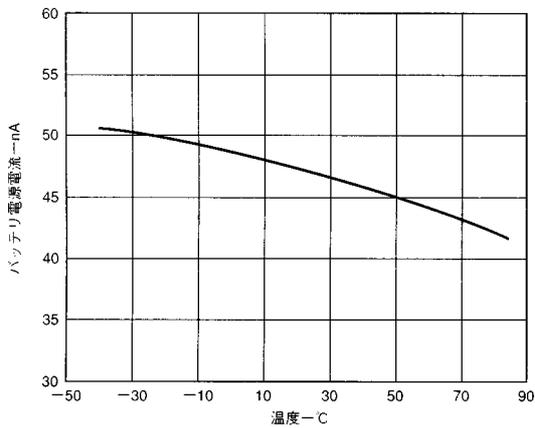


図3. I_{BATT} と温度の関係：バッテリー・バックアップ・モード

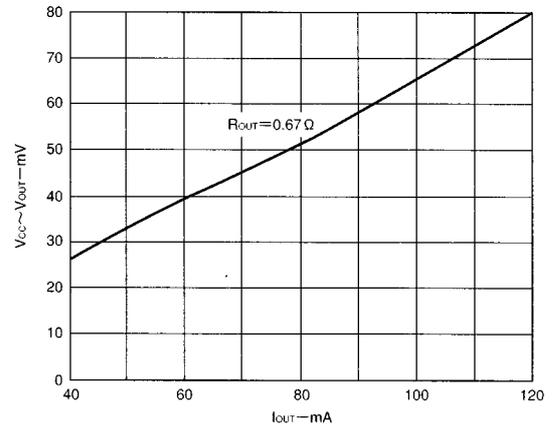


図6. V_{CC} と V_{OUT} の間の電圧降下と電流の関係

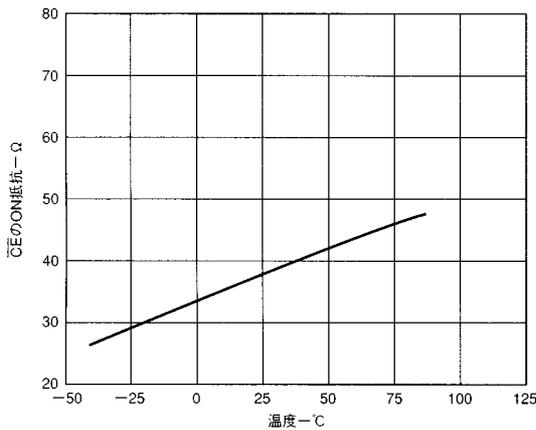


図4. チップ・イネーブルのON抵抗と温度の関係

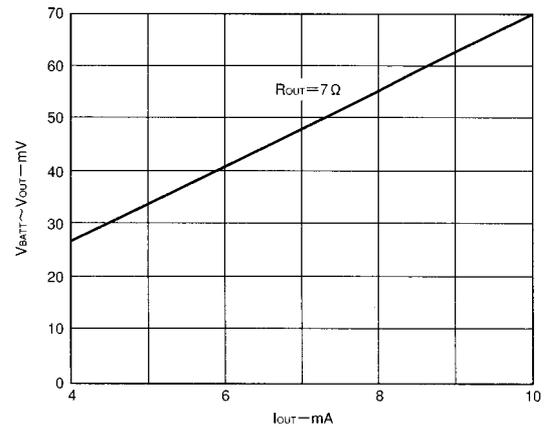


図7. V_{BATT} と V_{OUT} の間の電圧降下と電流の関係

ADM691A/ADM693A/ADM800L/M

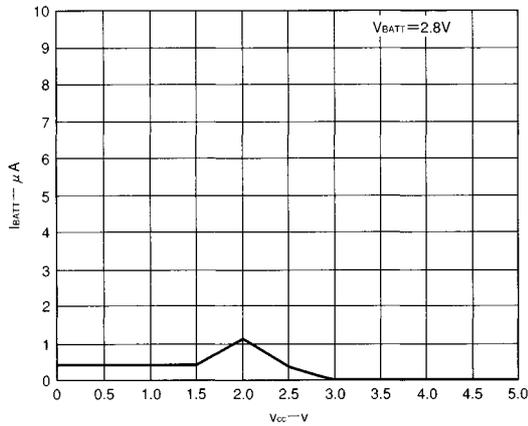


図8. バッテリ電流と入力電源電圧の関係

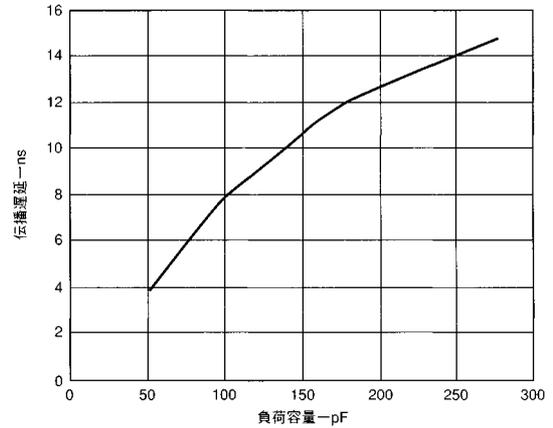


図11. チップ・イネーブルの伝播遅延と負荷容量の関係

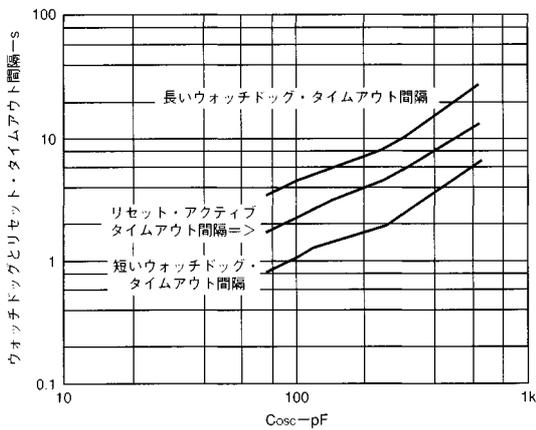


図9. ウォッチドッグおよびリセット・タイムアウト間隔とOSC INコンデンサ容量の関係

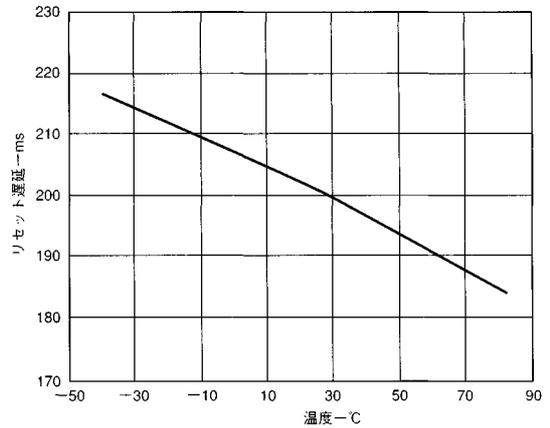


図12. リセット・タイムアウト遅延と温度の関係

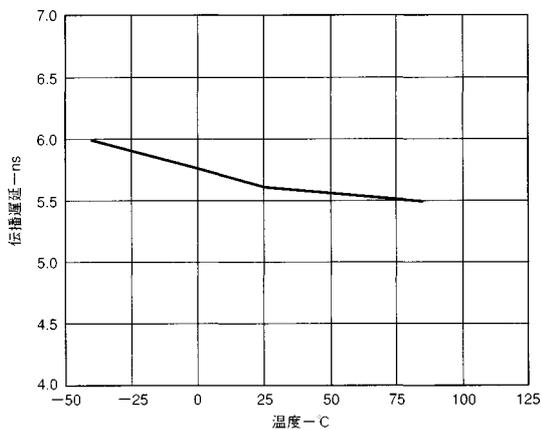


図10. チップ・イネーブルの伝播遅延と温度の関係

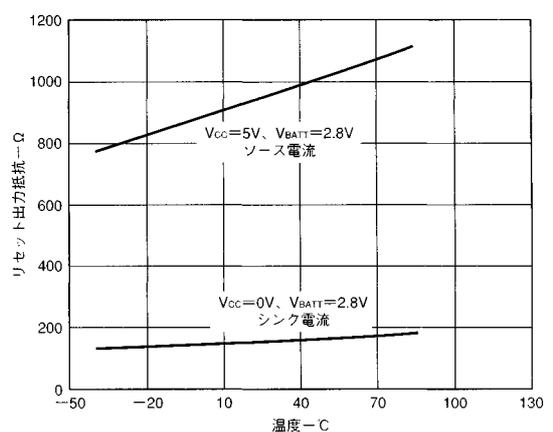


図13. $\overline{\text{RESET}}$ 出力抵抗と温度の関係

ADM691A/ADM693A/ADM800L/M

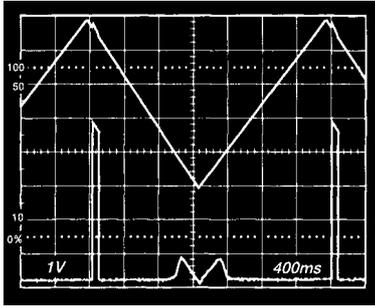


図14. RESET出力電圧と電源の関係

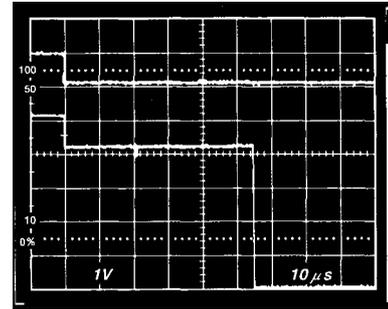


図15. RESET応答時間

電源異常RESET出力

RESETは、 V_{CC} が無効な電圧レベルの際にマイクロプロセッサにリセット信号を供給するアクティブLO出力です。 V_{CC} がリセット・スレッシュールド未満に低下した場合、RESET出力をLOにします。このリセット・スレッシュールド電圧は、4.65 V (ADM691A/ADM800L) または 4.4 V (ADM693A/ADM800M) です。

電源投入時、 V_{CC} が適切にリセット・スレッシュールド以上に上昇して200 m秒後までRESETはLOのままです。これにより、電源とマイクロプロセッサが安定するまでの余裕時間を持つこととなります。またパワーダウン時、 V_{CC} が1 V程度になるまでRESET出力はLOのままです。これにより、マイクロプロセッサは安定してシャットダウン状態になります。さらに1 V未満の電圧でもRESETがLOであり続ける必要がある場合、RESETライン上にプルダウン抵抗を接続すればこれを実現できます。この抵抗により、 $V_{CC}=0$ VまでRESETをLOにします。しかしこれは V_{BATT} が2 V未満の場合のみ必要だということに注意して下さい。バッテリー電圧が2V以上の場合、RESETは V_{CC} が0 Vから +5.5 Vの範囲で正しく機能します。

外部オシレータまたは外部コンデンサをOSC INに接続することによって、このリセットのアクティブ時間を調整できます。表IIを参照して下さい。

ADM691A/ADM800Lの保証する最小および最大スレッシュールドは、4.5 Vと4.75 Vです。またADM693A/ADM800Mの保証する最小および最大スレッシュールドは4.25 Vと4.5 Vです。したがって、ADM691A/ADM800Lは+10%と-5%の誤差を持つ5 V電源と互換性があります。またADM693A/ADM800Mは±10%の誤差を持つ5 V電源と互換性があります。

RESETとは別に、アクティブHIのRESET出力を備えています。これはRESET信号を反転したもので、アクティブHIのRESET信号を必要とするプロセッサに有用です。

ウォッチドッグ・タイマ・リセット

ウォッチドッグ・タイマ回路は、マイクロプロセッサが無限ループを実行していないかをチェックするために、その動作をモニターします。プロセッサの1つの出力ラインをウォッチドッグ入力(WDI)ラインのトグルに使用します。ある選択された時間内にこのラインがトグルしない場合、リセット・パルスが発生します。このウォッチドッグ・タイムアウト間隔は、固定の“短い”100m秒、または固定の“長い”1.6秒のタイムアウト間隔、あるいは調整可能なタイムアウト間隔に設定できます。短いタイムアウト間隔を設定しても、リセット直後の最初のタイムアウトは1.6秒ということに注

意して下さい。これにより、マイクロプロセッサがリセット後に再び制御する際に十分な時間を扱うことができます。

ウォッチドッグ・タイマはリセットの終了時に再スタートします。このリセットはWDIの動作が無い場合、または V_{CC} がリセット・スレッシュールド未満になった場合に発生します。

通常の(短い)タイムアウト間隔は、リセットがアクティブでない状態になった後のWDIの最初の遷移の後から有効になります。WDIピン上の立ち上がり/立ち下りの各信号遷移でウォッチドッグ・タイムアウト間隔は再スタートします。ウォッチドッグ・タイマがタイムアウトとならないように、WDI上のHIからLOまたはLOからHIへの遷移は最小タイムアウト間隔以下で発生しなければなりません。WDI上の信号がHIあるいはLOのままであれば、タイムアウト間隔後(1.6秒)にリセット・パルスを出力します。ウォッチドッグ入力(WDI)を開放状態にすると、このウォッチドッグ・モニタ機能が停止します。開放状態の場合、内部抵抗回路はWDIを約1.6 Vにバイアスします。

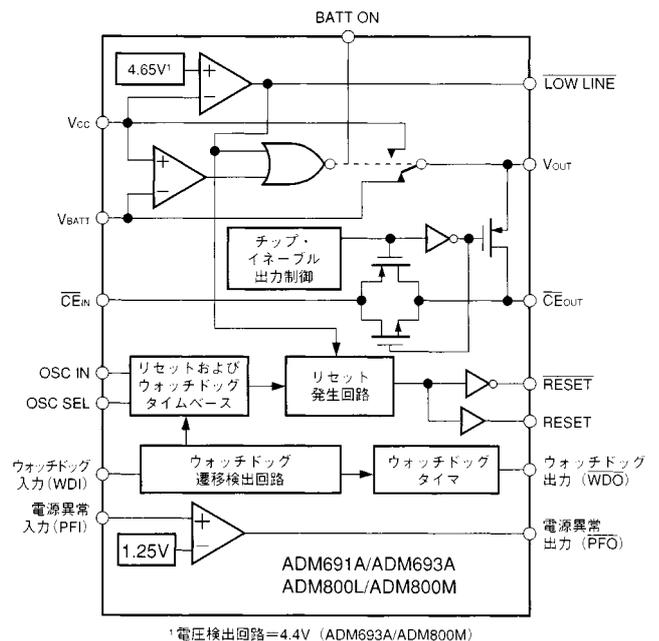


図16. 機能ブロック図

ADM691A/ADM693A/ADM800L/M

ウォッチドッグ出力(\overline{WDO})

ウォッチドッグ出力(\overline{WDO})は、ウォッチドッグ・タイマがタイムアウトした場合にLOを出力するステータス出力端子です。この出力は、ウォッチドッグ入力次の信号遷移でHIに戻るまでLOのままです。さらに V_{CC} がリセット・スレッシュホールド未満になった場合 \overline{WDO} をHIに設定します。WDIがHIあるいはLOのままである場合、RESETと \overline{RESET} は1.6秒毎に200 m秒のパルスを出力します。

ウォッチドッグとリセットのタイムアウトの間隔を変更

OSC SELとOSC INを使って、ウォッチドッグとリセットのタイムアウト間隔を制御できます。表IIを参照して下さい。図16のように、この2つの入力(OSC SELとOSC IN)を開放状態(あるいは V_{OUT} に接続)にした場合、リセットのタイムアウト間隔は固定の200 m秒であり、またウォッチドッグのタイムアウト間隔は1.6秒です。図16のようにOSC INをGNDに接続すると、リセットのタイムアウト間隔は200 m秒のままですが、ウォッチドッグ・タイムアウトは短い間隔(100 m秒)になります(リセット直後の間隔を除いて:この場合のみ1.6秒に戻ります)。さらにOSC SELをGNDに接続すると、OSC INとGNDとの間に接続するコンデンサの値またはOSC INをオーバードライブする外部クロックの周波数の値によって、タイムアウト間隔を任意に設定できます。外部コンデンサを接続する場合のウォッチドッグ・タイムアウト間隔は

$$T_{wd}(ms) = 600(C/47 \text{ pF})$$

そしてリセットのアクティブ間隔は

$$T_{reset}(ms) = 1200(C/47 \text{ pF})$$

OSC INに外部クロックを接続する場合のタイムアウト間隔は

$$T_{wd} = 1024(1/f_{CLK})$$

$$T_{reset} = 2048(1/f_{CLK})$$

バッテリー切り換え

V_{CC} の電圧がリセット・スレッシュホールドおよび V_{BATT} より高い通常動作時は、 V_{CC} は内部PMOSトランジスタ・スイッチを通して V_{OUT} に接続しています。このスイッチのON抵抗は0.75 (typ)で、 V_{OUT} ピンに最高250 mAの電流を供給できます。通常この V_{OUT} は、瞬間的に250 mAを超える電流が必要なRAMメモリのドライブ用に利用されます。この場合、 V_{OUT} にバイパス・コンデンサを接続する必要があります。このコンデンサは、RAMに過渡ピーク電流を供給します。0.1 μ F以上の値のコンデンサを使います。

V_{OUT} 上で連続して250 mAを超える出力電流が必要な場合、あるいは V_{CC} と V_{OUT} の間の電圧差を小さくする必要がある場合、外部PNPパス・トランジスタを内部トランジスタと並列に配置します。そしてBATT ON出力で外部トランジスタのベースをドライブします。

V_{CC} の電圧が V_{BATT} 未満に低下し、そしてリセット・スレッシュホールド未満に低下した場合、バッテリー・バックアップ機能が動作します。7 のMOSFETスイッチにより V_{BATT} 入力と V_{OUT} が接続されます。CMOSのRAMのバッテリー・バックアップや他の低消費電力CMOS回路に要求される低電流レベルでの、このMOSFETの入力と出力の電圧差(降下電圧)は非常に小さいものです。バッテリー・バックアップ時の供給電流は、0.04 μ Aです。

さらに大きな値のコンデンサ、すなわち標準的な電解コンデンサ、または数F程度の2層のコンデンサを短い期間のメモリ・バックアップに使うことができます。

バッテリー切り換え機能が必要でない場合、 V_{BATT} をGNDに接続し、 V_{OUT} を V_{CC} に接続して下さい。

V_{CC} がリセット・スレッシュホールド未満に低下した場合、ウォッチドッグ機能はディスエーブル状態となり、WDIは内部抵抗回路と切り離され高インピーダンス状態になります。

OSC SELをHIあるいは開放状態にした場合、内部オシレータがイネーブル状態となります。この際、OSC INで1.6秒か100 m秒のウォッチドッグ・タイムアウト間隔を選択します。

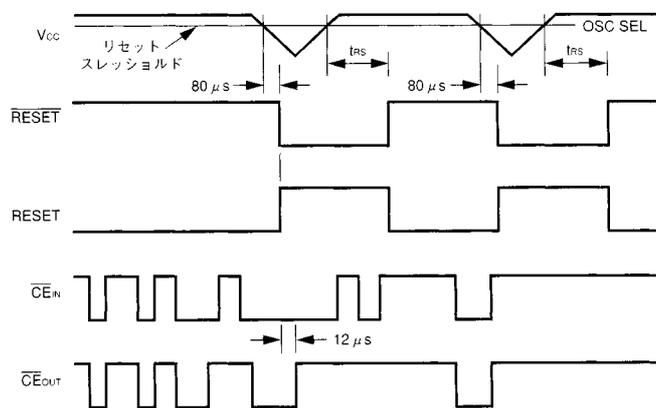


図17. RESETとチップ・イネーブルのタイミング

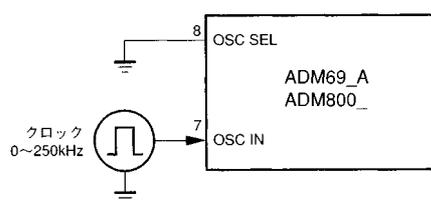


図18a. 外部クロック源

表II. リセット・パルス幅とウォッチドッグ・タイムアウトの選択

OSC SEL	OSC IN	ウォッチドッグ・タイムアウト間隔		リセット・アクティブ間隔
		通常	リセット直後	
LO	外部クロック入力	1024 clks	4096 clks	2048 clks
LO	外部コンデンサ	600 ms × C/47 pF	2.4 s × C/47 pF	1200 ms × C/47 pF
開放	LO	100 ms	1.6 s	200 ms
開放	開放または V_{OUT}	1.6 s	1.6 s	200 ms

ADM691A/ADM693A/ADM800L/M

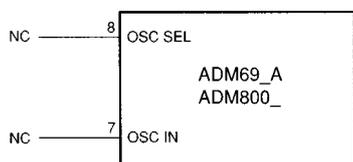


図18b. 内部オシレータ(1.6秒のウォッチドッグ)

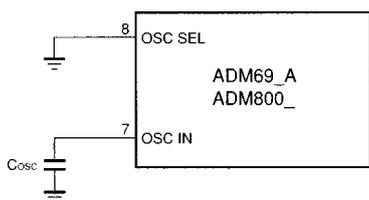


図18c. 外部コンデンサ

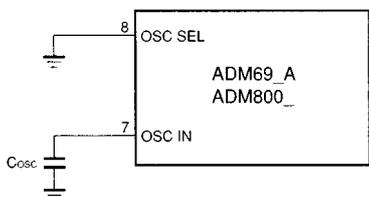
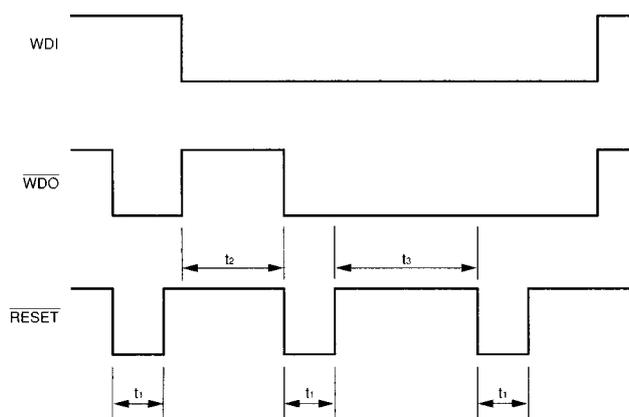


図18d. 内部オシレータ(100 m秒のウォッチドッグ)



t_r =リセット時間。
 t_2 =通常の(短い)ウォッチドッグ・タイムアウト間隔。
 t_3 =リセット直後のウォッチドッグ・タイムアウト間隔。

図19. ウォッチドッグ・タイミング

CEゲート操作とRAMの書き込み保護

このファミリ製品は、 V_{CC} が無効な電圧レベルの際に書き込み操作を防ぎ、メモリ内のデータを保護するためのメモリ保護回路を備えています。2つのピン(\overline{CE}_{IN} と \overline{CE}_{OUT})でCMOSのRAMのチップインナーまたは書き込み入力を制御します。 V_{CC} の電圧が有効な場合、 \overline{CE}_{IN} の値を5 nsの伝播遅延で \overline{CE}_{OUT} にそのまま出力します。 V_{CC} がリセット・スレッシュホルド電圧より低下した場合、内部ゲートは \overline{CE}_{IN} とは無関係に \overline{CE}_{OUT} をHIにします。

\overline{CE}_{OUT} は、通常バッテリー・バックアップされたCMOS RAMのCE、CSまたは書き込み入力をドライブします。これにより、 V_{CC} が無効

な電圧レベルの際に書き込みを防止し、メモリ内のデータが保護されます。同様に \overline{CE}_{OUT} でEEPROM、EARAM、またはNOVRAMのストア入力あるいは書き込み入力をドライブすれば、EEPROMの保護を行うことができます。

電源異常警報コンパレータ

マイクロプロセッサの電源電圧が低下したことを早期に警報するために、コンパレータを内部に設けています。電源異常入力(PFI)の電圧は、内部の+1.25 Vリファレンスと比較されます。PFI上の電圧が1.3 V未満に低下した場合、電源異常出力(\overline{PFO})がLOになります。PFIは通常、外部の分圧回路で駆動されます。この分圧回路には、システムの5 Vレギュレータへの入力(レギュレートされていないDC)またはレギュレートされた5 V出力が印加されます。この分圧回路の分圧比は、+5 V電源電圧がリセット・スレッシュホルド未満となる数m秒前にPFIが1.25 Vより低下する電圧を選んで設定します。電源が喪失する前にマイクロプロセッサがデータをRAMストアし、電源遮断処理を実行できるように、 \overline{PFO} はマイクロプロセッサへの割り込みに使われます。

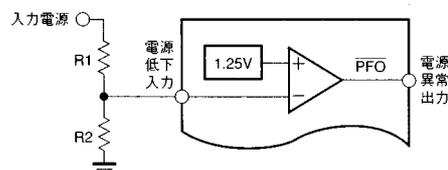


図20. 電源低下コンパレータ

表III. バッテリー・バックアップ・モードでの入力と出力のステータス

信号	ステータス
V_{BATT}	電源電流は1 μ A未満です。
V_{OUT}	V_{OUT} は、内部PMOSスイッチを通じて V_{BATT} に接続されます。
V_{CC}	切り換えコンパレータは、スイッチの切り換え用に V_{CC} をモニターします。
GND	0 V。
BATT ON	ロジックHI。このオープン回路の電圧は、 V_{OUT} と同じです。
LOW LINE	ロジックLO。
OSC IN	OSC INは無視されます。
OSC SEL	OSC SELは無視されます。
PFI	電源異常コンパレータは、バッテリー・バックアップ・モードで V_{CC} が $V_{BATT} - 1.2$ Vを超える場合でもアクティブのままです。 V_{CC} がこの値未満の場合、PFOはLOになります。
\overline{PFO}	電源異常コンパレータは、バッテリー・バックアップ・モードで V_{CC} が $V_{BATT} - 1.2$ Vを超える場合でもアクティブのままです。 V_{CC} がこの値未満の場合、PFOはLOになります。
WDI	WDIは無視されます。
\overline{CE}_{OUT}	ロジックHI。このオープン回路の電圧は、 V_{OUT} と同じです。
\overline{CE}_{IN}	高インピーダンス。
WDO	ロジックHI。このオープン回路の電圧は、 V_{OUT} と同じです。
\overline{RESET}	ロジックLO。
RESET	高インピーダンス。

ADM691A/ADM693A/ADM800L/M

アプリケーション情報

ドライブ電流の増加

V_{OUT} 上で250 mAを超える出力電流が連続的に必要な場合、あるいは V_{CC} と V_{OUT} 間の電圧差を小さくする必要がある場合、外部PNPパス・トランジスタを内部トランジスタと並列に配置します。そしてBATT ON出力で電流制限抵抗を通して外部トランジスタのベースをドライブします。

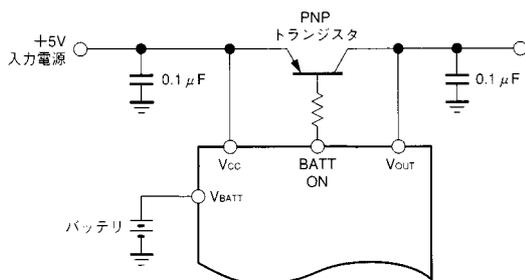


図21. ドライブ電流の増加

バックアップ用に充電可能なバッテリーを使用

バックアップ用にコンデンサまたは充電可能なバッテリーを使用する場合、充電抵抗を V_{OUT} に接続して下さい。これは、抵抗を V_{CC} に接続した場合、パワーダウン中に存在する放電経路を除くためのものです。

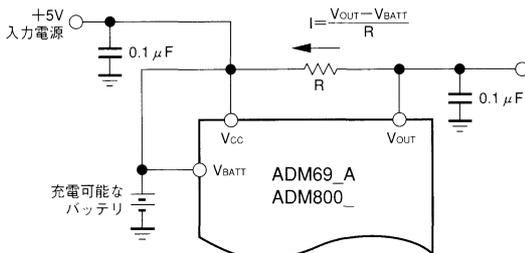


図22. 充電可能なバッテリー

電源異常コンパレータにヒステリシスを追加

回路動作をノイズに対して強くしたい場合、電源異常コンパレータにヒステリシスを設けます。このコンパレータ回路は非反転ですので、図23に示すように \overline{PFO} 出力とPFI入力との間に1個の抵抗を接続すれば簡単にヒステリシスを加えることができます。 \overline{PFO} がLOの場合抵抗 $R3$ はPFIピンの加算ノードからの電流をシンクします。また \overline{PFO} がHIの場合、PFIは加算ノードに電流をソースします。これにより、コンパレータにヒステリシスが生じます。したがって $R1$ と $R2$ で電圧レベルを設定し、 $R3$ でヒステリシスを加えます。また $R3$ は、 \overline{PFO} 出力に対して大きな負荷を掛けないように10 kΩ以上にして下さい。さらにPFIとGNDとの間にコンデンサを設置すると、ノイズの除去およびフィルタ処理を実現できます。

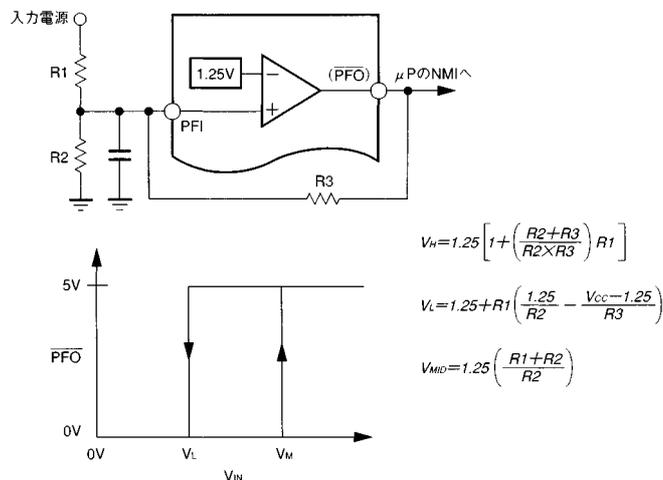


図23. 電源異常コンパレータにヒステリシスを追加

代表的な動作回路

図24は、代表的な動作回路です。この回路は、電源モニター機能、バッテリー・バックアップ切り換え機能、およびウォッチドッグタイマー機能を備えています。

V_{OUT} からCMOS RAMの電源を供給します。電源が5 Vの場合、これが V_{OUT} に出力されます。 V_{CC} が異常の場合、 V_{BATT} を V_{OUT} に出力します。 V_{OUT} は V_{CC} から最高250 mAの電流を供給できますが、より大きな電流を必要とする場合、外部にPNPトランジスタを設けます。 V_{CC} の電圧が V_{BATT} およびリセット・スレッシュホールドより高い場合、BATT ONはLOとなり外部トランジスタをドライブするベース電流を供給します。また V_{CC} の電圧が V_{BATT} およびリセット・スレッシュホールドより低い場合、内部の7 のMOSFETによりバックアップ・バッテリーと V_{OUT} が接続されます。

リセット出力

内部電圧検出回路は V_{CC} をモニターします。 V_{CC} の電圧がリセット・スレッシュホールド未満となった際に \overline{RESET} を出力し、マイクロプロセッサの \overline{RESET} ラインをLOにします。内部タイマ回路は、 V_{CC} がスレッシュホールドを超えてから200 m秒後まで \overline{RESET} ラインをLOにし続けます。これにより、電源ラインが変動しても \overline{RESET} がトグルしてしまうのを防ぐことができます。

早期電源異常検出回路

電源異常入力(PFI)に接続した抵抗分圧回路を通じて入力電源ラインをモニターします。

PFI上の電圧が1.25 V未満に低下した場合、電源異常出力(\overline{PFO})がプロセッサのNMI入力をLOにドライブします。抵抗 $R1$ と $R2$ で電源異常スレッシュホールドを7 Vに設定した場合、 V_{CC} が7 V未満に低下してもマイクロプロセッサはデータをRAMに格納する時間的な余裕が持てます。電源の静電容量によってこの時間を延ばすことができます。これにより、マイクロプロセッサは電源が喪失する前に必要なルーチンを実行できます。

ADM691A/ADM693A/ADM800L/M

RAM書き込み保護

\overline{CE}_{OUT} ラインは、CMOS RAMのチップ・セレクト入力をドライブします。 V_{CC} の電圧がリセット・スレッシュホールド電圧より高い限り、 \overline{CE}_{OUT} は \overline{CE}_{IN} に追従します。 V_{CC} の電圧がリセット・スレッシュホールド未満に低下した場合、 \overline{CE}_{IN} のロジック・レベルとは無関係に \overline{CE}_{OUT} はHIになります。これにより、マイクロプロセッサが電源起動時、パワーダウン時、節電状態中、および瞬間的な電源遮断時にRAMに間違ったデータを書き込むことを防げます。また、 V_{CC} の電圧がリセット・スレッシュホールド未満に低下したときは、 $\overline{LOW LINE}$ 出力はLOになります。

ウォッチドッグ・タイマ

マイクロプロセッサは、I/Oラインでウォッチドッグ入力(WDI)をドライブします。OSC INとOSC SELが無接続の際、マイクロプロセッサはソフトウェアが適切に実行されているかどうかをチェックするためにWDIピンを1.6秒毎にトグルしなければなりません。WDIがトグルしない場合、つまりハードウェアまたはソフトウェアに異常が発生した場合は1.6秒後に幅200 m秒のRESETパルスを発生します。このパルスでマイクロプロセッサは電源起動ルーチンを再起動することになります。WDIが再びトグルされるまで、1.6秒ごとにRESETパルスを発生します。

ウォッチドッグ出力(\overline{WDO})は、ウォッチドッグ・タイマがタイムアウト間隔内に処理されない場合にLOになります。WDI上での信号遷移が生じるまで、 \overline{WDO} はLOのままです。WDIを無接続にすれば、このウォッチドッグ・タイマ機能をディスエーブルにできます。さらにOSC INとOSC SELで他のウォッチドッグ・タイマ機能を実現できます。

ウォッチドッグ・タイマがイネーブルで、WDIがウォッチドッグ・タイムアウト間隔より長い間HIまたはLOのままであると、 \overline{RESET} もLOになります。

\overline{RESET} 出力は内部で1.6 mAにプルアップされています。そしてオープン・コレクタ方式の \overline{RESET} バスに接続、あるいは外部にプルアップ抵抗を設けずに直接CMOSゲートをドライブできます。

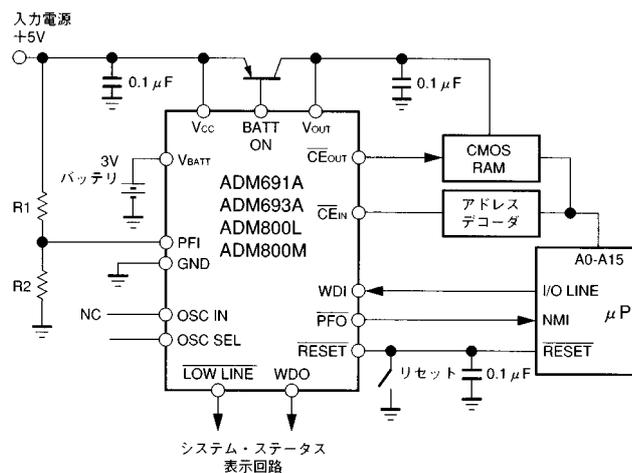


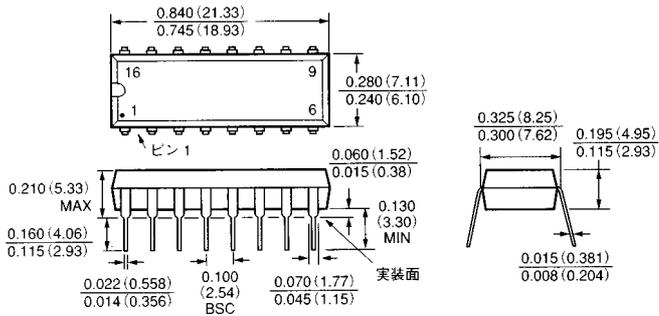
図24. 代表的な応用回路

ADM691A/ADM693A/ADM800L/M

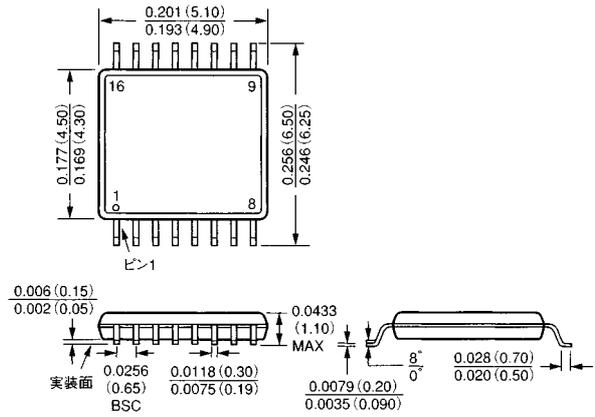
外形寸法

寸法はインチと(mm)で示します。

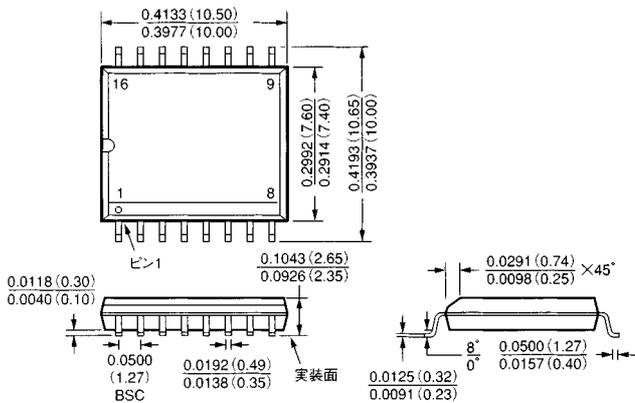
16ピン・プラスチックDIP
(N-16)



16ピンTSSOP
(RU-16)



16ピン幅広SOIC
(R-16W)



16ピン幅狭SOIC
(R-16N)

