

Tematyka ćwiczeń z Mikroinformatyki s.IV rok 2004/2005

Wprowadzenie

1. Układy pamięci w systemach mikroprocesorowych cz. I
 - a. Pamięci statyczne RAM – omówienie, przebiegi czasowe,
 - b. Pamięci ROM – omówienie, przebiegi czasowe,
 - c. Budowa bloków pamięci
 - i. Zbudowane z elementów o mniejszej długości słowa,
 - ii. Zbudowane z elementów o mniejszej pojemności,
 - d. Układy dekodowania pamięci pełne i niepełne,
 - i. Dekoder zbudowany w oparciu układ 74138,
 - ii. Dekoder zbudowany w oparciu o pamięć PROM,
 - iii. Dekoder zbudowany z wykorzystaniem bramek,
 - e. Proste wejście/wyjście (bufory 244,245; rejestry 373,374)
 - f. Układy dekodowania wejścia/wyjścia pełne i niepełne;
 - i. Dekoder zbudowany w oparciu układ 74138,
 - ii. Dekoder zbudowany w oparciu o pamięć PROM,
 - iii. Dekoder zbudowany z wykorzystaniem bramek,
2. Jednostka centralna zbudowana w oparciu o mikroprocesor Z80.
 - a. Magistrale Z-80 (*parametry elektryczne i obciążalność*)
 - i. Magistrala adresowa (1TTL)
 - ii. Magistrala danych (2TTL)
 - iii. Magistrala sterująca (wy-1TTL; we-1LSTTL) – omówienie
 - iv. Wejście/wyjście w standardzie TTL poza sygnałem zegarowym ($U_{ihmin} > 4.6V$; 50% wypełnienia)
 - b. Cykl rozkazowy – cykle maszynowe
 - i. Pobrania kodu rozkazu (M1)
 - ii. Odczyt/Zapis pamięci
 - iii. Odczyt/Zapis I/O
 - iv. Potwierdzenia przyjęcia przerwania maskowanego (INT) (Tryb T0, T1, T2)
 - v. Potwierdzenia przyjęcia przerwania niemaskowanego (NMI)
 - vi. Bezpośredniego dostępu do pamięci (BUSRQ)
 - vii. Zatrzymania (Halt)
 - viii. Zerowania (RESET)
 - c. Omówienie trybów przerwań Z-80
 - i. Przerwanie maskowane \INT tryb T0
 - ii. Przerwanie maskowane \INT tryb T1
 - iii. Przerwanie maskowane \INT tryb T2
 - iv. Przerwanie niemaskowane \NMI
3. **Sprawdzian wiadomości**
4. Układy interfejsów wejścia/wyjścia równoległego
 - a. Proste interfejsy wejścia/wyjścia
 - i. Podłączanie prostych przycisków,
 - ii. Podłączanie diod LED,
 - iii. Układy klawiatur (wędrujące zero, wędrująca jedynka)
 - iv. Układy wyświetlaczy 7-segmentowe LED (*wspólna anoda, wspólna katoda*)
 - b. Scalone układy wejść/wyjść równoległych
 - i. Układ Z-80 PIO,

Comment [JP1]: Przykładowe omówienie na zajęciach podstawowego cyklu, reszta samodzielnie.

Comment [JP2]:
1. Jaka linia jest testowana ?
2. Kiedy jest testowana ?
3. Warunki przyjęcia przerwania ?
4. Postać cyklu potwierdzenia przyjęcia przerwania ($I/ORQ+M1$).
5. Gdzie znajduje się podprogram obsługi przerwania ?
6. Jak powinien się kończyć i dlaczego ?

- ii. Układ 8255,
 - c. Układy wejścia/wyjścia pracujące z wykorzystaniem przerw
 - i. Podłączanie układów serii Z-80 w łańcuch przerw
 - ii. Wykorzystanie Z-80PIO jako kontrolera przerw zewnętrznych
5. Układy interfejsów wejścia/wyjścia równoległego
- a. Układy liczników
 - i. Układ Z80-CTC,
 - ii. Układ 8253,
 - b. Układy interfejsu pomiaru czasu/okresu,
 - c. Wykorzystanie Z80-CTC jako kontrolera przerw zewnętrznych,
- 6. Sprawdzian wiadomości**
7. Układy pamięci w systemach mikroprocesorowych cz. II
- a. Pamięci dynamiczne DRAM
 - i. Układ odświeżania pamięci z wykorzystaniem adresu w rejestrze R
 - ii. Układ odświeżania pamięci z generowaniem adresu (*np. 8 9,10-bitów*)
 - iii. Układ odświeżania pamięci \CAS przed \RAS
 - b. Podłączanie pamięci dynamicznej o większej pojemności niż możliwości adresowe procesora (podział na strony o różnej konfiguracji)
 - c. Podłączanie bloków pamięci statycznej ze stronicowaniem.
8. Budowa dużego systemu z mikroprocesorem Z-80
- a. Jednostka centralna
 - i. Układ generatora sygnału zegarowego dla Z-80,
 - ii. Układ generatora sygnału \RESET,
 - iii. Buforowanie magistral dla zwiększenia obciążalności,
 - iv. Bezpośredni dostęp do pamięci - omówienie,
 - b. Układy pamięci,
 - c. Interfejs wejścia/wyjścia,
 - d. Wyznaczanie minimalnego czasu dostępu dla pamięci ROM, RAM oraz I/O.
 - i. Generowanie sygnału oczekiwania \WAIT
 - e. Układy dekodatorów
 - i. Dekodowanie w systemach wykorzystujących przerwania i DMA
 - f. Lista rozkazów procesora Z-80
 - i. Tryby adresacji wykorzystywane przez procesor
 - ii. Przykłady programów wykorzystujących przerwania
 - iii. Przykłady programów obsługi wejścia/wyjścia

9. Sprawdzian wiadomości

10. Mikrokomputer jednoukładowy 8051/8052
- a. Przykładowe układy jednostki centralnej
 - b. Podłączanie zewnętrznej pamięci ROM/RAM,
 - c. Podłączanie dodatkowych układów wejścia/wyjścia,
 - d. Podłączanie systemu w max. konfiguracji (rozdzielanie przestrzeni adresowej pamięci od *wejścia/wyjścia*)
 - e. Lista rozkazów-przykładowe programy
11. Mikrokomputer jednoukładowy serii AVR
- a. Przykładowe układy jednostki centralnej
 - b. Podłączanie zewnętrznej pamięci RAM,

- c. Podłączanie dodatkowych układów wejścia/wyjścia,
- d. Podłączanie systemu w max. konfiguracji (*rozdzielanie przestrzeni adresowej pamięci od wejścia/wyjścia*)
- e. Lista rozkazów-przykładowe programy

12. Układy interfejsów specjalizowanych

- a. Przetworniki A/C
- b. Przetworniki C/A
- c. Wyświetlacze LCD (3,5 cyfry oraz z układem sterującym np. 2x16 znaków)

13. Przykładowe systemy wykorzystujące procesor Z-80 oraz mikrokontrolery

14. Sprawdzian wiadomości